

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: **Jae-Sung CHO**

GAU: TBA

SERIAL NO: **TBA**

EXAMINER: TBA

FILED: **May 9, 2001**FOR: **METHOD OF FABRICATING ARRAY SUBSTRATE FOR USE IN AN IN-PLANE SWITCHING  
MODE LIQUID CRYSTAL DISPLAY DEVICE**

## REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231#2  
Priority  
X. Jones  
5/22/01

SIR:

Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	2000-24965	May 10, 2000

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

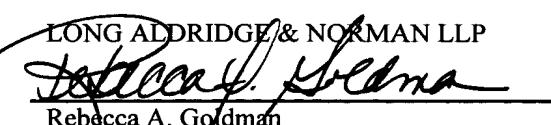
were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: May 9, 2001

Sixth Floor  
701 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
Tel. (202) 624-1200  
Fax. (202) 624-1298  
76793.1

LONG ALDRIDGE & NORMAN LLP  
  
Rebecca A. Goldman  
Registration No. 41,786

J1046 U.S. PTO  
09/851325  
05/09/01

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

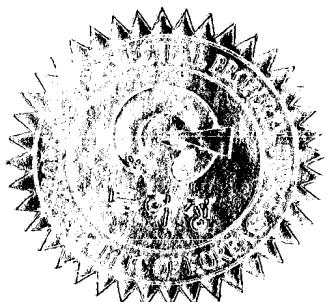
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2000년 제 24965 호  
Application Number

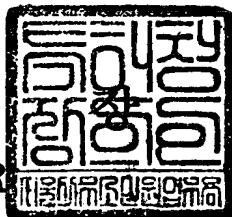
출원년월일 : 2000년 05월 10일  
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s)



2001 년 04 월 23 일

특허청  
COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0007		
【제출일자】	2000.05.10		
【발명의 명칭】	횡전계방식 액정표시장치용 어레이기판 제조방법		
【발명의 영문명칭】	Method for fabricating array substrate for In plane switching mode liquid crystal display device		
【출원인】			
【명칭】	엘지 .필립스엘시디(주)		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	정원기		
【대리인코드】	9-1998-000534-2		
【포괄위임등록번호】	1999-001832-7		
【발명자】			
【성명의 국문표기】	조재성		
【성명의 영문표기】	CHO, JAE-SUNG		
【주민등록번호】	680415-1067011		
【우편번호】	730-350		
【주소】	경상북도 구미시 임수동 161 LG Philips LCD(주)		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 기 (인)		
정원			
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	3	면	3,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	32,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

### 【요약서】

#### 【요약】

본 발명은 액정표시장치에 관한 것으로, 특히 공통전극과 화소전극이 동일기판상에 형성되어 액정분자를 구동하는 IPS모드(in plain switching mode)로 동작하는 액정표시장치용 어레이기판 제조방법에 관한 것이다.

IPS 모드 액정표시장치용 어레이기판을 제작할 때, 게이트배선과 평행하게 구성되는 공통배선의 단차부에 남겨진 잔류금속물질에 의한 데이터배선과 스토리지 캐패시터의 단락(short)를 방지하기 위해, 상기 게이트배선 상부에 형성되는 상기 스토리지 캐패시터의 좌/우측의 게이트배선에서 사각링 형상으로 돌출형성하고, 상기 돌출된 패턴의 모서리 상부에 식각홀을 형성하여, 상기 식각홀을 통해 잔류금속을 완전히 제거함으로써, 상기 잔류금속에 의한 데이터배선과 스토리지 캐패시터간의 단락불량을 방지할 수 있으므로, 고 화질의 액정표시장치를 제작할 수 있다.

#### 【대표도】

도 3

## 【명세서】

## 【발명의 명칭】

횡전계방식 액정표시장치용 어레이기판 제조방법 {Method for fabricating array substrate for In plane switching mode liquid crystal display device}

## 【도면의 간단한 설명】

도 1은 종래의 IPS 모드 액정표시장치용 어레이기판의 일부 평면도이고,  
도 2a 내지 도 2d는 도 1의 II-II와 III-III를 따라 절단하여 공정순서에 따라 도시  
한 공정 단면도이고,  
도 3은 본 발명에 따른 액정표시장치용 어레이기판의 일부 평면도이고,  
도 4a 내지 도 4d는 도 3의 IV-IV와 V-V를 따라 절단하여 공정순서에 따라 도시  
한 공정 단면도이다.

## &lt;도면의 주요부분에 대한 부호의 간단한 설명&gt;

111 : 기판	112 : 사각 링 패턴
113 : 이중 게이트배선	113a : 제 1 게이트배선
113b : 제 2 게이트배선	114 : 이중 공통배선
114a : 제 1 공통배선	114b : 제 2 공통배선
115 : 데이터배선	116 : 식각홀

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 액정표시장치에 관한 것으로, 특히 횡전계 방식(In plain switching mode)을 사용한 액정표시장치용 어레이기판의 제조방법에 관한 것이다.

<12> 일반적으로, 액정표시장치는 상부기판과 하부기판을 합착하고, 상기 합착된 상부기판과 하부기판 사이에 액정을 주입하여 형성한다.

<13> 그리고, 상기 상부기판과 하부기판의 바깥 면에는 편광판(polarizer)과 위상차판(retardation film)등을 부착한다. 이러한 다수의 구성요소를 선택적으로 구성함으로써 빛의 진행상태를 바꾸거나 굴절률을 변화시켜 높은 휙도(brightness)와 콘트라스트 비(contrast ratio)특성을 가지는 액정표시장치가 구성된다.

<14> 액정표시장치로서 근래에 사용되는 액정셀은 통상 트위스트 네마틱액정(twist nematic LC)을 채택하고 있으나, 상기 트위스트 네마틱액정은 시야각에 따라서 계조표시(grey level)에서의 광투과율이 달라지는 특성을 보유하므로 그 대면적화에 제한이 있다.

<15> 또한, 상기 트위스트 네마틱액정을 포함한 액정셀은 좌우방향의 시야각에 광투과율이 넓은 범위에서 대칭적으로 분포하지만, 상/하 방향에서는 광투과율이 비대칭적으로 분포하기 때문에 이미지가 반전되는 범위가 발생하여 시야각이 좁아지는 문제가 있다.

<16> 반면에, 평행한 전기장을 이용하는 횡전계 방식 모드(in plane switching : 이하 'IPS 모드'라 칭함)는 종래의 상기 트위스트네마틱 액정 모드에 비해 콘트라스트

(contrast), 그레이인버션(gray inversion), 컬러시프트(color shift) 등의 시야각 특성을 향상시킬 수 있는 장점이 있다.

<17> 상기 IPS모드는 박막트랜지스터 어레이기판 상에 화소전극과 공통전극이 동일 평면 상에 형성되는 형태이며, 액정은 동일기판 상에 형성된 화소전극과 공통전극의 수평 전계에 의해 작동한다.

<18> 도 1은 종래의 IPS모드 액정표시장치용 어레이기판의 일부 평면도이다.

<19> 도시한 바와 같이, 기판 상에 게이트배선(14)과 상기 게이트배선과 평행하고 소정 간격 이격된 공통배선(12)과, 상기 두 배선과 교차하여 데이터배선(13)이 형성되며, 상기 게이트배선(14)과 데이터배선(13)의 교차지점에는 스위칭소자인 박막트랜지스터(T)가 위치한다. (도시한 그림은 단일 화소를 보인 것이므로, 도면의 게이트배선의 하부에 평행하게 구성된 공통배선을 생략하였고, 상기 공통배선 상부에 평행하게 구성된 게이트배선을 생략하였다)

<20> 상기 게이트배선(14)과 공통배선(12)은 이중층으로 구성되며, 그 이유는 상기 게이트배선의 구성 시 신호지연을 방지하기 위한 설계 때문이다.

<21> 즉, 제 1 층은 게이트배선을 통한 신호전송 시 신호지연을 방지하기 위해, 일반적으로 주로 사용하고 있는 물질이 알루미늄(A1)과 같은 저항이 낮은 물질이다. 그러나 상기 알루미늄은 강도가 약하고 내화학성이 떨어지기 때문에 에칭용액에 쉽게 산화되어 단선(open)되는 불량이 자주 발생하는 문제점이 있다.

<22> 따라서, 상기 제 1 층에 평면적으로 겹쳐지는 제 2 층을 형성하게 되며, 상기 제 2 층은 상기 알루미늄 재질보다는 강도가 높고 내화학성이 뛰어난 몰리브덴(Mo)이나 크롬

(Cr)등을 사용한다.

<23> 상기 박막트랜지스터(T)는 액티브채널(15)과 함께 소스전극(17), 드레인전극(19), 게이트전극(21)을 포함한다.

<24> 전술한 구성에서, 공통배선(12) 및 게이트배선(14)과 데이터배선(13)이 교차하여 화소영역(P)을 정의하며, 상기 화소영역(P) 상에는 공통전극과(23) 화소전극(25)이 구성된다.

<25> 위의 구조에서, 상기 공통전극(23)의 수직패턴은 상기 공통배선(12)의 제 2 층을 패터닝할 때, 상기 화소영역(P)으로 수직 연장하여 형성한다.

<26> 상기 화소전극(25)은 투명 도전성금속을 이용하여 형성하며, 상기 화소전극(25)의 수직패턴은 상기 공통전극(23)의 수직패턴과 절연층을 사이에 두고 일대일 대응하여 형성하며, 상기 화소전극(25)의 수직패턴을 하나로 연결하는 상부 수평패턴(25a)은 상기 공통배선(12)과 소정간격 겹쳐 형성되어 스토리지 캐퍼시터(C)를 형성한다.

<27> 이와 같은 구조에서, 상기 데이터배선(13)을 패터닝하기 위한 식각과정 중, 상기 공통배선(12)의 단차부(A)에 상기 데이터배선(13)을 형성하기 위해 증착된 금속물질이 제대로 제거되지 않고 남게된다.

<28> 상기 금속물질은 상기 데이터배선(13)과 상기 스토리지 캐퍼시터(C)를 형성하는 유전체 사이에 존재하게 되어, 상기 데이터배선(13)과 스토리지 캐퍼시터(C)를 단락(short)시키는 불량을 유발한다.

<29> 좀더 상세한 설명을 위해, 이하 도 2a 내지 도 2d의 공정단면도를 참조하여 설명한다.

<30> 먼저, 도 2a에 도시한 바와 같이, 투명한 기판(11) 상에 알루미늄(A1)과 같은 저항이 작은 도전성 금속을 증착하고 패터닝하여, 상기 제 1 게이트배선(도 1의 14a)과 상기 제 1 게이트배선(도 1의 14a)에서 일 방향으로 돌출 연장된 제 1 게이트전극(21a)을 형성한다.

<31> 동시에, 상기 제 1 게이트배선과 평행하게 제 1 공통배선(12a)을 형성한다.

<32> 다음으로, 상기 제 1 게이트배선등이 형성된 기판(11)의 전면에 몰리브덴(Mo)과 같은 내 화학성이 강한 도전성 금속을 증착하고 패터닝하여, 상기 제 1 게이트배선(도 1의 14a)과 상기 제 1 게이트전극(21a)과 상기 제 1 공통배선(12a)과 각각 평면적으로 겹쳐진 제 2 게이트배선(도 1의 14b)과 제 2 게이트전극(21b)과 제 2 공통배선(12b)을 형성하여 이중층의 게이트배선(14)과 게이트전극(21)과 공통배선(12)을 형성한다.

<33> 동시에, 상기 제 2 공통배선(12b)에서 상기 화소영역(도 1의 P참조)으로 수직 연장된 다수개의 수직패턴으로 구성되는 공통전극(23)을 형성하고, 상기 수직패턴(23)을 하나로 연결하는 수평패턴(도 1의 23a)에 의해 일체화 된다.

<34> 다음으로 도 2b에 도시한 바와 같이, 상기 공통전극(23)이 형성된 기판(11)의 전면에 실리콘 나이트라이드( $SiN_x$ )와 실리콘 다이옥사이드( $SiO_2$ )를 포함하는 무기절연막과 경우에 따라서는 벤조사이클로 부텐(BCB), 아크릴(Acryl)계 수지(Resin)를 포함하는 유기절연막을 증착과 도포를 통해 형성하여 제 1 절연층인 게이트절연막(27)을 형성한다.

<35> 다음으로, 도 2b에 도시한 바와 같이, 상기 게이트절연막(27) 상에 비정질 실리콘 또는 불순물(n형 또는 p형)이 도핑된 비정질 실리콘을 적층하여 반도체층을 형성하고 이를 패터닝하여, 액티브층(15)과 오믹콘택층(ohmic contact layer)(16)을 형성한다.

<36> 다음으로 도 2c에 도시한 바와 같이, 상기 액티브층(15)과 오믹콘택층(16)이 형성된 기판(11)의 전면에 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 도전성 금속을 증착하고 패터닝하여, 상기 공통배선(12)및 게이트배선(도 1의 14)과 수직으로 교차하는 데이터배선을 형성하고, 상기 데이터배선(도 1의 13)에서 상기 게이트전극(21)상부로 돌출 연장된 소스전극(17)과 상기 소스전극(17)과 소정간격 이격된 드레인전극(19)을 형성한다.

<37> 상기 소스전극(17)과 드레인전극(19)사이에는 오믹콘택층(16)이 제거된 액티브층(15)이 노출되어 구성된다.

<38> 이때, 상기 소스 및 드레인전극(17)(19)을 형성하는 금속물질이 상기 화소영역(도 1의 P)을 지나는 공통배선(12)의 단차부(A)에 잔류하는 경우가 발생하며, 이때 상기 잔류금속(31)은 상기 데이터배선(도 1의 13)으로 연장되어 잔류한다.

<39> 다음으로 상기 소스 및 드레인전극(17)(19)등이 형성된 기판(11)의 전면에 전술한 바와 같은 절연물질을 도포하여 제 2 절연층인 보호막(33)을 형성하고 이를 패터닝하여, 상기 드레인전극(19)의 상부에 드레인 콘택홀(35)을 형성한다.

<40> 다음으로 도 2d에 도시한 바와 같이, 상기 드레인 콘택홀(35)이 형성된 기판(11)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)등의 투명 도전성금속을 증착하고 패터닝하여, 일측이 상기 드레인 콘택홀(35)을 통해 드레인전극(19)과 접촉하고 타측이 상기 공통전극배선(12)과 겹쳐지면서 스토리지 캐패시터(C)를 구성하는 화소전극(25)을 형성한다.

<41> 이 때, 상기 화소영역(도 1의 P) 상에 위치하는 화소전극(25)의 다수개의 수직패턴은 상기 공통전극의 다수개의 수직패턴과 일대일로 대응되도록 위치한다.

<42> 이와 같은 방법으로, 종래의 IPS 모드로 동작하는 액정표시장치용 어레이기판을 구성할 수 있다.

<43> 이와 같은 구성에서, 상기 데이터배선(도 1의 13)을 패터닝할 때, 상기 스토리지 캐패시터(C) 양측의 공통배선(14)의 단차(A)에 의해 식각되지 않고 남는 금속물질은 상기 데이터배선에서 상기 스토리지 영역까지 연장되어 잔류하게 되는 경우가 발생한다.

<44> 이 때, 상기 잔류금속은 상기 데이터배선(도 1의 13)과 상기 스토리지 캐패시터(C)를 단락시키는 원인이 된다.

<45> 이와 같은 불량은 상기 스토리지 캐패시터(C)에 축적된 전하를 상기 데이터배선(도 1의 13)을 통해 방전시킴으로 상기 화소영역 상에 위치하여 동작하는 액정의 동작특성을 저하시키는 원인이 되어 점 결함(point defect)을 유발한다.

#### 【발명이 이루고자 하는 기술적 과제】

<46> 따라서, 본 발명은 이러한 문제를 해결하기 위해, 상기 공통전극배선의 단차부에 잔류하는 금속물질에 의한 데이터배선과 스토리지 캐패시터의 단락불량을 방지하기 위한 횡전계 액정표시장치용 어레이기판의 배선구조와 어레이기판의 형성방법을 제안하는데 목적이 있다.

#### 【발명의 구성 및 작용】

<47> 전술한 바와 같은 목적을 달성하기 위한 횡전계방식 액정표시장치는 기판과;

<48> 상기 기판 상에 형성되고, 제 1 게이트배선과 제 2 게이트배선이 평면적으로 겹쳐 형성된 이중 게이트배선과; 상기 이중 게이트배선과 평행하고 동일층에 동일물질로 형성되며, 제 1 공통배선과 제 2 공통배선이 평면적으로 겹쳐 형성된 이중 공통배선과; 상기 이중 공통배선 중 제 2 공통배선에서 수직으로 연장된 다수개의 수직패턴으로 구성된 공통전극과; 상기 2중 게이트배선 상의 기판 전면에 형성된 절연층과; 상기 절연층 상에 상기 다수개의 이중 게이트배선 및 공통배선과 교차하는 다수개의 데이터배선과; 상기 공통전극의 다수개의 수직패턴과 평행하여 일대일 대응하는 수직패턴과, 상기 수직패턴의 양끝단을 연결하는 두 개의 수평패턴을 가지고 있으며, 상기 수평패턴 중 하나는 상기 이중 공통배선과 오버랩되어 스토리지캐패시터를 구성하는 화소전극과; 상기 이중 공통배선의 상기 제 1 공통배선 중 상기 화소전극과 스토리지 캐패시터를 이루는 부분의 양측 일부에서 돌출 연장된 사각형상의 링 패턴과; 상기 화소전극 상부 전면에 걸쳐 형성되고, 상기 사각각 링 패턴중 상기 데이터배선과 근접한 모서리를 노출시키는 식각홀이 형성된 보호층을 포함한다.

<49> 본 발명의 특징에 따른 횡전계방식 액정표시장치용 어레이기판 제조방법은 기판을 준비하는 단계와; 상기 기판 상에 이중 게이트배선과 상기 이중 게이트배선과 평행하고, 제 1 공통배선과 제 2 공통배선으로 구성되는 이중 공통배선과, 상기 게이트배선과 수직이고 등간격으로 형성된 가상선 사이에서 상기 가상선에 근접하여, 상기 제 1 공통배선에서 돌출 연장된 사각형상의 제 1 , 제 2 링패턴과, 상기 제 2 공통배선에서 연장된 다수의 수직패턴으로 구성된 공통전극을 형성하는 단계와; 상기 게이트배선과 공통배선과 사각 링 패턴등이 형성된 기판 상에 제 1 절연층인 게이트 절연막을 형성하는 단계와; 상기 게이트전극 상부에 아일랜드 형태로 적층된 액티브층과 오믹콘택층을 포함하는 반

도체층을 형성하는 단계와; 상기 가상선과 평행하고 상기 이중게이트배선 및 이중공통배선과 교차하여 화소영역을 정의하는 데이터배선과, 상기 데이터배선에서 상기 액티브층 상부로 돌출 연장된 소스전극과, 이와는 소정간격 이격된 드레인전극을 형성하는 단계와;

<50>       상기 소스 및 드레인전극 상부에 제 2 절연층인 보호막을 형성하고, 이를 패터닝하여, 상기 드레인전극 상부에 드레인 콘택홀을 형성하고 상기 사각 링 패턴의 모서리 상부에 각각 식각홈을 형성하는 단계와;

<51>       상기 드레인 콘택홀과 식각홈이 형성된 기판의 전면에 투명 도전성금속을 증착하여 투명금속층을 형성하는 단계와;

<52>       상기 투명금속층을 패터닝하여, 상기 드레인 콘택홀을 통해 드레인전극과 접촉하는 하부 수평패턴과, 상기 하부 수평패턴에서 수직으로 연장되고 상기 화소영역 상에서 상기 공통전극의 수직패턴과 일대일 대응하는 수직패턴과, 상기 수직패턴의 끝단을 연결하는 동시에 상기 이중공통배선과 겹쳐져서 스토리지 캐패시터를 구성하는 상부 수평패턴을 포함하는 화소전극을 형성하고, 동시에 상기 화소전극 패터닝시 상기 식각홈의 게이트절연막과, 상기 게이트절연막 하부의 일부 돌출패턴을 식각하는 단계를 포함한다.

<53>       상기 제 1 게이트배선과 제 1 공통배선은 알루미늄과 알루미늄 재질을 포함하는 저저항 금속물질 그룹 중 선택된 하나인 것을 특징으로 한다.

<54>       상기 제 2 게이트배선과 제 2 공통배선은 몰리브덴, 텅스텐 등을 포함하는 내화학성이 강한 도전성 금속물질 그룹 중 선택된 하나인 것을 특징으로 한다.

<55>       이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

<56> -- 실시예 --

<57> 본 발명은 스토리지 캐패시터 양측의 공통전극배선 중, 상기 제 1 공통배선의 일부를 평면적으로 화소영역 방향으로 돌출 형성하고, 상기 돌출된 패턴의 모서리 상부에 식각홈을 형성하여, 상기 식각홈을 통해 상기 돌출패턴을 일부 식각함으로써, 상기 돌출패턴을 따라 상기 데이터배선에서 스토리지 캐패시터로 연결되는 잔류금속을 제거하는 방법을 제안한다.

<58> 이하, 본 발명에 따른 액정표시장치용 어레이기판의 평면도와 공정단면도를 참조하여 상세히 설명한다.

<59> 도 3은 본 발명에 따른 IPS 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이다.

<60> 도시한 바와 같이, 스토리지 캐패시터(C) 양측의 이중 공통배선(114)중 제 1 공통배선(114a)을 화소영역(P) 방향으로 연장하여 사각 링(ring)형상의 돌출패턴(112)을 형성한다.

<61> 상기 사각 링 형상의 돌출패턴(112)을 포함하는 제 1 공통배선(114a)상에, 평면적으로 겹쳐 형성되고 상기 화소영역으로 수직패턴의 공통전극이 연장되는 제 2 공통배선(114b)을 형성한다.

<62> 이때, 상기 돌출패턴(112)은 상기 제 2 공통배선(114b)과 겹치지 않으며, 상기 제 2 공통배선(114b)의 아래로 돌출된 형상이다.

<63> 상기 사각 링 형상의 돌출패턴(이하 '사각 링 패턴'이라 칭함)의 링 안쪽 단차부에

잔류하는 금속(139a)은 상기 스토리지 캐페시터(C)와 데이터배선(115)과의 단락에는 아무런 영향을 끼치지 않으므로 제거할 필요는 없지만, 상기 링의 외곽 단차부에 잔류하는 금속(139b)은 상기 데이터배선과 상기 스토리지 캐페시터(C)와 연결될 수 있기 때문에 치명적인 불량을 초래할 수 있다.

<64> 따라서, 상기 사각 링 패턴의 모서리부 상에 식각홈(116)을 형성하고, 상기 식각홈을 통해 상기 사각 링(112)의 외곽부 단차를 따라 남겨진 잔류금속을 제거할 수 있도록 한다.

<65> 이하, 공정단면도를 참조하여 본 발명에 따른 IPS 액정표시장치용 어레이기판의 형성방법을 알아본다.

<66> 도 4a 내지 도 4d는 도 3의 IV-IV와 V-V를 따라 절단하여 공정순서에 따라 도시한 공정 단면도이다.

<67> 먼저, 도 4a에 도시한 바와 같이, 투명한 기판(111)상에 알루미늄(A1)과 같은 저저항의 금속물질을 증착하고 패턴하여, 제 1 게이트배선(도 3의 113a)과 상기 제 1 게이트배선(도 3의 113a)에서 일 방향으로 돌출 연장된 제 1 게이트전극(117a)과 상기 제 1 게이트배선과 평행한 제 1 공통배선(114a)을 형성한다.

<68> 동시에, 단일 화소영역(도 3의 P)을 지나가는 제 1 공통배선(114a)하부 화소영역 방향으로 연장된 사각형상의 링 패턴(112)을 형성한다.

<69> 상기 사각링 패턴은 상기 단일 화소영역 상에 적어도 복수개(2개) 형성한다.

<70> 다음으로, 상기 제 1 게이트배선(113a)과 제 1 공통배선(114a)등이 형성된 기판(111)의 전면에 강도(hardness)가 높고 내화학성이 강한 크롬(Cr), 몰리브덴(Mo)등의 도

전성 금속을 증착하고 패터닝하여, 상기 제 1 게이트전극(117a)과 제 1 게이트배선(도 3의 113a)과 평면적으로 겹쳐지는 제 2 게이트전극(117b)과 제 2 게이트배선(도 3의 113b)과 상기 제 1 공통배선(114a)과 평면적으로 겹쳐지는 제 2 공통배선(114b)을 형성하여, 이중 게이트전극(117)과 이중 게이트배선(113)과 이중 공통배선(114)을 형성한다.

<71> 이때, 상기 제 2 공통배선(114b)에서 상기 화소영역 상으로 연장되어 다수의 수직 패턴으로 구성된 공통전극(119)을 형성한다.

<72> 이때, 상기 사각 링 패턴(112)은 상기 제 1 공통배선(114a)과 평면적으로 겹쳐진 제 2 공통배선(114b)과 겹쳐지지 않도록 구성한다.

<73> 상기, 이중공통배선(114)과 공통전극(119)과 사각 링 패턴(112)등이 형성된 기판(111)의 전면에 실리콘 나이트라이드( $SiN_x$ )와 실리콘 다이옥사이드( $SiO_2$ )를 포함하는 무기절연막과 경우에 따라서는 벤조사이클로부텐(PCB), 아크릴(Acryl)계 수지(resin)를 포함하는 유기절연막을 증착과 도포를 통해 형성하여 제 1 절연층인 게이트 절연막(131)을 형성한다.

<74> 다음으로, 도 4b에 도시한 바와 같이, 상기 게이트 절연막(131)상에 비정질 실리콘 또는 불순물이 도핑된 비정질실리콘을 적층하여 반도체층을 형성하고 이를 패터닝하여, 액티브층(133)과 오믹콘택층(134)을 형성한다.

<75> 다음으로, 도 4c에 도시한 바와 같이, 상기 액티브층(133)과 오믹콘택층(134)이 형성된 기판(111)의 전면에 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 도전성 금속을 증착하고 패터닝하여, 상기 이중 게이트배선(도 3의 113)과 수직으로 교차하는 데이터배선(도 1의 115)을 형성하고, 상기 데이터배선(도 1의 115)에서 상기 이중 게이트전극(117)상부

로 돌출 연장된 소스전극(135)과 상기 소스전극과 소정간격 이격된 드레인전극(137)을 형성한다.

<76> 여기서, 상기 사각 링 패턴(112)의 안쪽과 바깥쪽의 단차에 의해, 상기 드레인전극(137)을 형성하는 금속물질이 잔류 할 수 있으며, 이때 상기 사각 링 패턴의 안쪽에 잔류하는 금속물질(139a)은 상기 데이터배선(도 1의 115)과 연결되지 않으므로 어레이기판에 부정적인 영향을 미치지 않는다.

<77> 그러나, 상기 사각 링 패턴의 외곽부에 잔류하는 금속(139b)은, 상기 데이터배선(도 1의 115)에서 미세하게 연장되어 상기 외곽부를 따라 추후에 구성되는 스토리지 캐페시터의 영역까지 연결되어 남아 있을 수 있다.

<78> 이와 같은 패턴 외곽부의 잔류 금속을 제거하기 위한 방법을 이하 설명한다.

<79> 상기 데이터배선 등이 형성된 기판의 전면에 전술한 바와 같은 절연물질을 도포내지 증착하여 제 2 절연층인 보호막(141)을 형성하고 이를 패터닝하여, 상기 드레인전극(137) 상부에 드레인 콘택홀(139)을 형성하고 상기 사각 링 패턴(112)의 모서리 부 상부에 식각홀(116)을 형성한다.

<80> 상기 사각 링 패턴(112)의 외부 단차부에 잔류한 금속물질(139b)은 상기 식각홀(116)을 형성하는 공정중에 건식식각에 의해 제거 된다.

<81> 만약, 상기 건식식각에 의해 제거되지 않고 여전히 남아 있는 잔류 금속이 있다면, 이하 화소전극을 패터닝하는 공정에서 완전히 제거 할 수 있다.

<82> 다음으로 도 4d에 도시한 바와 같이, 상기 드레인 콘택홀(139)과 식각홀(116)이 형성된 기판(111)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)등의 투명

도전성 금속을 증착하고 패터닝하여, 하부 수평패턴의 일 측이 드레인 콘택홀(139)과 접촉하는 동시에, 하부 수평패턴에서 수직으로 연장된 다수개의 수직패턴이 상기 화소영역(도 3의 P)상부에 위치하고, 상기 다수의 수직패턴을 하나로 연결하는 상부 수평패턴(145a)이 상기 공통전극 배선(114)의 상부에 겹쳐 형성되는 화소전극(145)을 형성 한다.

<83> 만약, 상기 식각홀(116)을 형성하는 공정중 제거되지 않은 잔류 금속물질이 존재하더라도, 상기 화소전극(145)을 형성하기 위해 사용하는 습식식각 방식에 의해 상기 식각홀에 의해 노출된 사각 링 패턴(112)이 일부 제거되므로 잔류 금속 물질이 완전히 제거되는 효과가 있다.

<84> 이때, 상기 화소영역(도 3의 P) 상에 형성되는 화소전극(145)의 다수의 수직패턴은 상기 공통전극의 수직패턴과 평면적으로 일대일 대응하여 위치한다.

<85> 전술한 바와 같은 공정으로, 잔류금속에 의한 상기 데이터배선과 스토리지 캐패시터 사이의 단락불량을 방지할 수 있다.

<86> 이러한 방법은 실시예의 IPS 액정표시장치용 어레이기판 이외에, 일반적인 액정표시장치용 어레이기판에도 사용될 수 있다.

### 【발명의 효과】

<87> 따라서, 본 발명에 따른 IPS 액정표시장치용 어레이기판은, 화소전극과 병렬로 구성되는 스토리지 캐패시터와 데이터배선간의 단락 불량을 방지할 수 있는 구조이므로, 점결함이 없는 고화질의 IPS 액정표시장치를 제작할 수 있는 효과가 있다.

1020000024965

2001/4/2

**【특허청구범위】****【청구항 1】**

기판과;

상기 기판 상에 형성되고, 제 1 게이트배선과 제 2 게이트배선이 평면적으로 겹쳐 형성된 이중 게이트배선과;

상기 이중 게이트배선과 평행하고 동일층에 동일물질로 형성되며, 제 1 공통배선과 제 2 공통배선이 평면적으로 겹쳐 형성된 이중 공통배선과;

상기 이중 공통배선 중 제 2 공통배선에서 수직으로 연장된 다수개의 수직패턴으로 구성된 공통전극과;

상기 2중 게이트배선 상의 기판 전면에 형성된 절연층과;

상기 절연층 상에 상기 다수개의 이중 게이트배선 및 공통배선과 교차하는 다수개의 데이터배선과;

상기 공통전극의 다수개의 수직패턴과 평행하여 일대일 대응하는 수직패턴과, 상기 수직패턴의 양끝단을 연결하는 두 개의 수평패턴을 가지고 있으며, 상기 수평패턴 중 하나는 상기 이중 공통배선과 오버랩되어 스토리지캐패시터를 구성하는 화소전극과;

상기 이중 공통배선의 상기 제 1 공통배선 중 상기 화소전극과 스토리지 캐패시터를 이루는 부분의 양측 일부에서 돌출 연장된 사각형상의 링 패턴과;

상기 화소전극 상부 전면에 걸쳐 형성되고, 상기 사각각 링 패턴 중 상기 데이터배선과 근접한 모서리를 노출시키는 식각홈이 형성된 보호층

을 포함하는 횡전계방식 액정표시장치용 어레이기판.

### 【청구항 2】

기판을 준비하는 단계와;

상기 기판 상에 이중 게이트배선과 상기 이중 게이트배선과 평행하고, 제 1 공통 배선과 제 2 공통배선으로 구성되는 이중 공통배선과, 상기 게이트배선과 수직이고 등간격으로 형성된 가상선 사이에서 상기 가상선에 근접하여, 상기 제 1 공통배선에서 돌출 연장된 사각형상의 제 1, 제 2 링패턴과, 상기 제 2 공통배선에서 연장된 다수의 수직 패턴으로 구성된 공통전극을 형성하는 단계와;

상기 게이트배선과 공통배선과 사각 링 패턴등이 형성된 기판 상에 제 1 절연층인 게이트 절연막을 형성하는 단계와;

상기 게이트전극 상부에 아일랜드 형태로 적층된 액티브층과 오믹콘택층을 포함하는 반도체층을 형성하는 단계와;

상기 가상선과 평행하고 상기 이중게이트배선과 이중공통배선과 교차하여 화소영역을 정의하는 데이터배선과, 상기 데이터배선에서 상기 액티브층 상부로 돌출 연장된 소스전극과, 이와는 소정간격 이격된 드레인전극을 형성하는 단계와;

상기 소스 및 드레인전극 상부에 제 2 절연층인 보호막을 형성하고, 이를 패터닝 하여, 상기 드레인전극 상부에 드레인 콘택홀을 형성하고 상기 사각 링 패턴의 모서리 상부에 각각 식각홀을 형성하는 단계와;

상기 드레인 콘택홀과 식각홈이 형성된 기판의 전면에 투명 도전성금속을 증착하여 투명금속층을 형성하는 단계와;

상기 투명금속층을 패터닝하여, 상기 드레인 콘택홀을 통해 드레인전극과 접촉하는 하부 수평패턴과, 상기 하부 수평패턴에서 수직으로 연장되고 상기 화소영역 상에서 상기 공통전극의 수직패턴과 일대일 대응하는 수직패턴과, 상기 수직패턴의 끝단을 연결하는 동시에 상기 이중공통배선과 겹쳐져서 스토리지 캐패시터를 구성하는 상부 수평패턴을 포함하는 화소전극을 형성하고, 동시에 상기 화소전극 패터닝시 상기 식각홈의 게이트절연막과, 상기 게이트절연막 하부의 일부 돌출패턴을 식각하는 단계를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

#### 【청구항 3】

제 2 항에 있어서,

상기 제 1 게이트배선과 제 1 공통배선은 알루미늄과 알루미늄 재질을 포함하는 저저항 금속물질 그룹 중 선택된 하나인 횡전계 방식 액정표시장치용 어레이 기판 제조방법.

#### 【청구항 4】

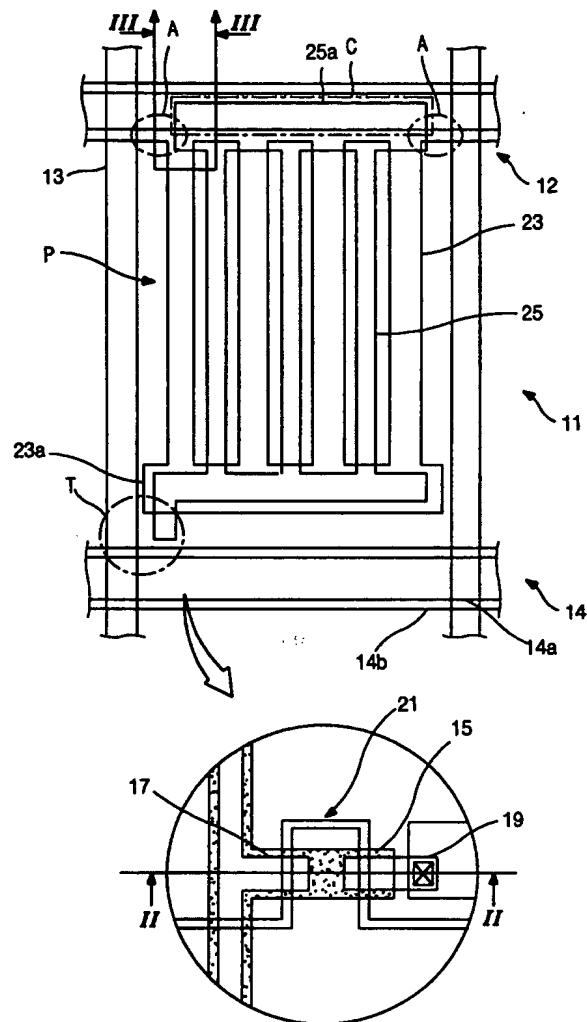
제 2 항에 있어서,

상기 제 2 게이트배선과 제 2 공통배선은 몰리브덴, 텅스텐 등을 포함하는 내화학

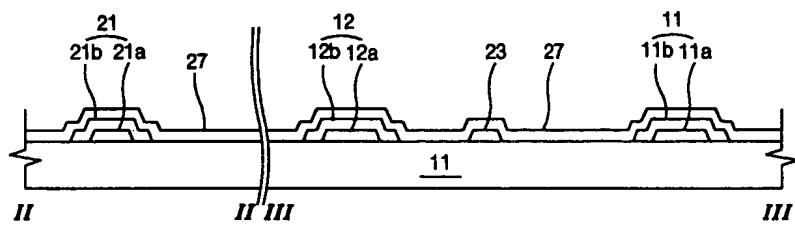
성이 강한 도전성 금속물질 그룹 중 선택된 하나인 횡전계방식 액정표시장치용 어레이  
기판 제조방법.

## 【도면】

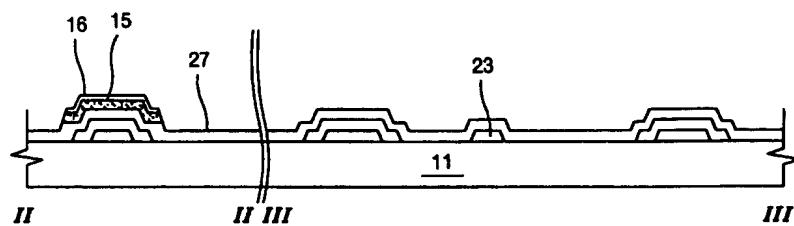
【도 1】



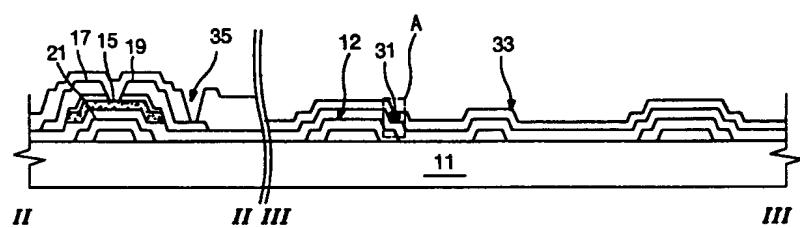
【도 2a】



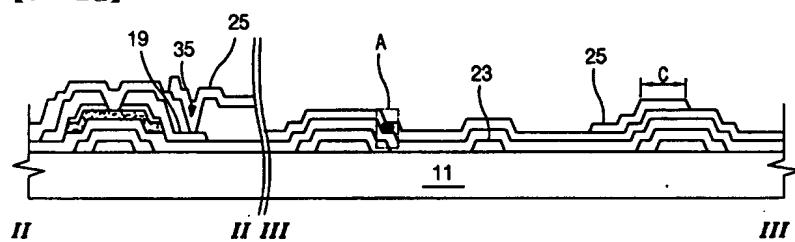
【도 2b】



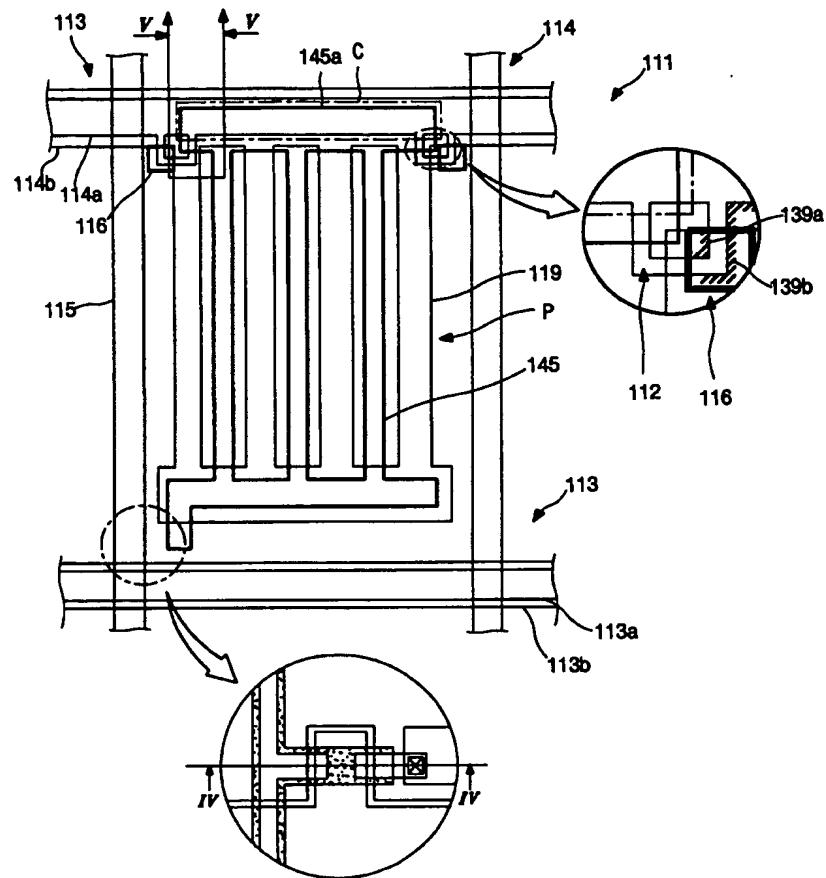
【도 2c】



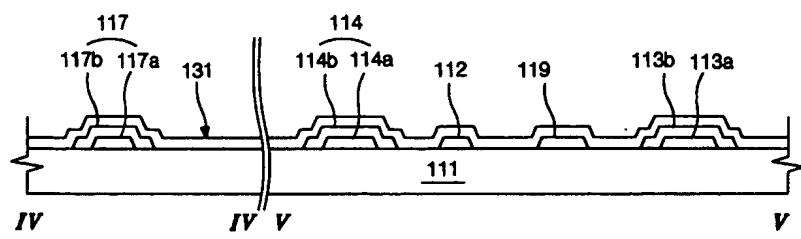
【도 2d】



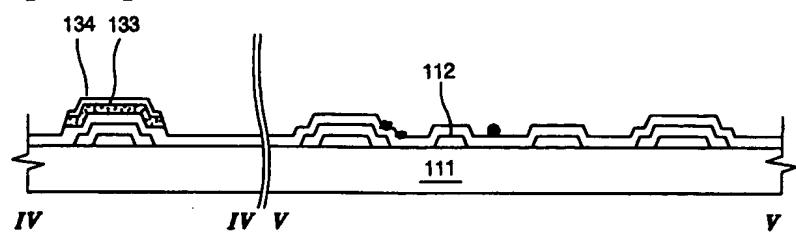
【도 3】



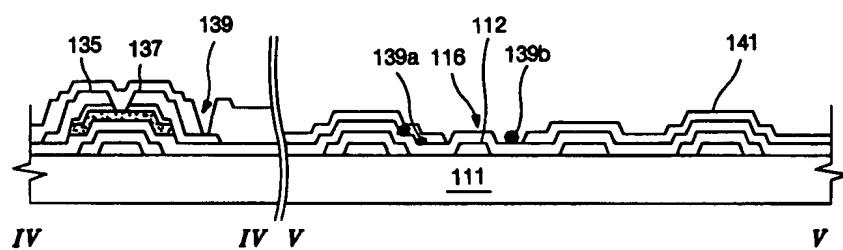
【도 4a】



【도 4b】



【도 4c】



【도 4d】

